Министерство науки и высшего образования РФ

Федеральное государственное автономное

образовательное учреждение высшего образования

«**СИБИРСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ**»

Институт космических и информационных технологий

Кафедра «Вычислительной техники»

**ОТЧЕТ ПО ПРАКТИЧЕСКОЙ РАБОТЕ №1**

Интегрированная среда разработки Intel Quartus Prime: основные возможности и инструменты

Преподаватель \_\_\_\_\_\_\_\_\_\_ Н.Ю. Сиротинина

подпись, дата инициалы, фамилия

Студент КИ20-06Б, 032049103 \_\_\_\_\_\_\_\_\_\_ Д.А. Анциферов

номер группы, зачетной книжки подпись, дата инициалы, фамилия

Красноярск 2023

**ВВЕДЕНИЕ**

**Цель работы**:ознакомление с интегрированной средой разработки Intel Quartus Prime

**Задание**:

1. Реализация логической функции по варианту, анализ и синтез полученного модуля, выполнить функциональное моделирование с обеспечением полного покрытия тестовыми примерами;
2. Реализация полного 4-разрядного сумматора с последовательным переносом, анализ и синтез полученного модуля, выполнить функциональное и временное моделирования, определение входных значений с минимальной и максимальной задержкой;
3. Реализация полного 4-разрядного сумматора с последовательным переносом, анализ и синтез полученного модуля, выполнить функциональное и временное моделирования, определение максимальной допустимой тактовой частоты модуля.

**Вариант**: использование логических компонентов «не», «и» и «или» с двумя входами. На рисунке 1 изображена логическая функция, реализуемая в пункте 1.

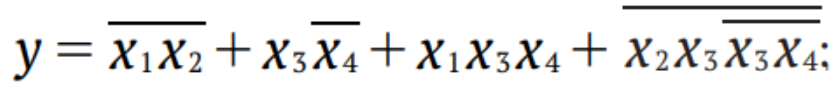


Рисунок 1 – Реализуемая логическая функция

**Ход работы**

# 1 Реализация логической функции

Реализуем логическую функцию, изображенную на рисунке 1, в программе Intel Quartus Prime 18.0. Для этого будем использовать инструмент схемного ввода модуля. На рисунке 2 изображена построенная схема для реализуемой логической схемы.

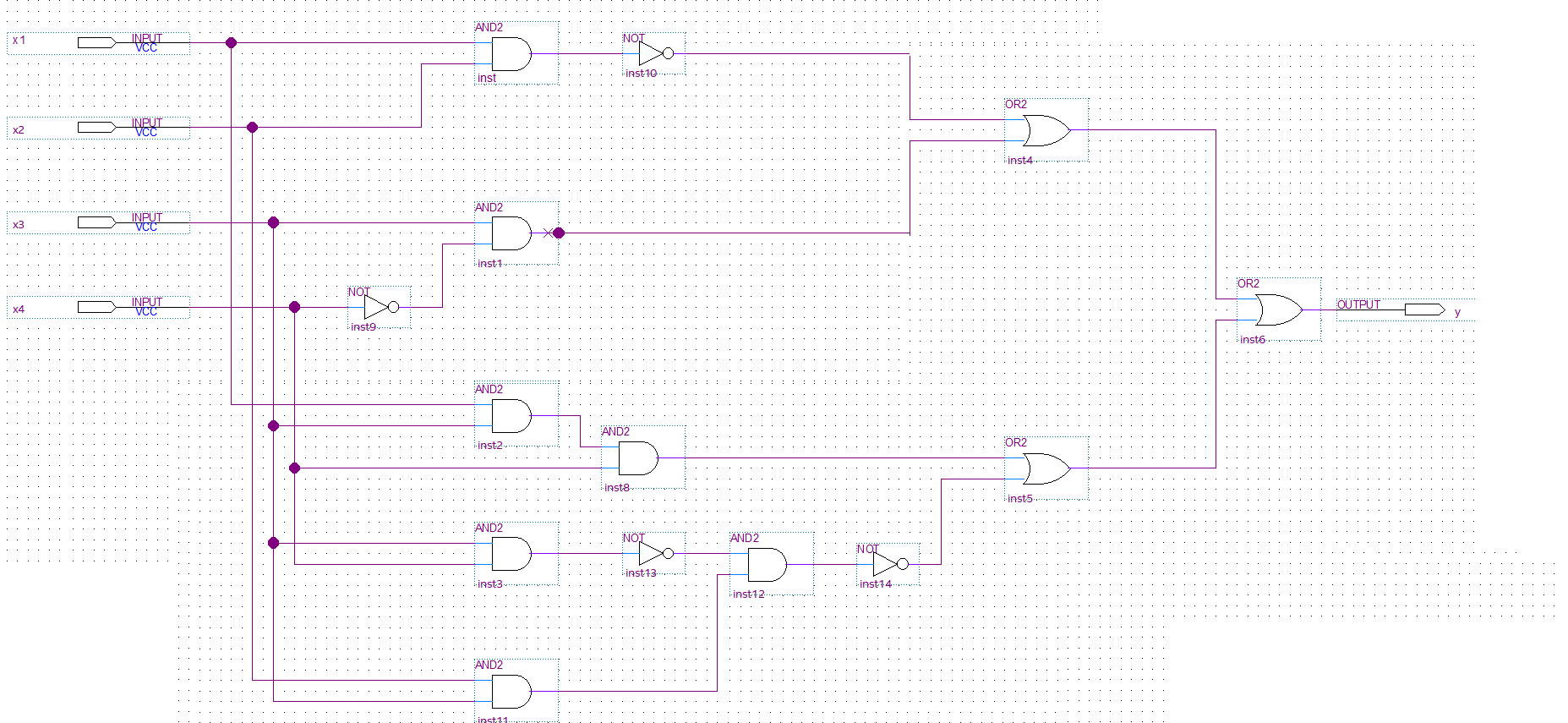


Рисунок 2 – Построенная схема на основе логической функции

Выполним анализ и синтез разработанного модуля (рис. 3).

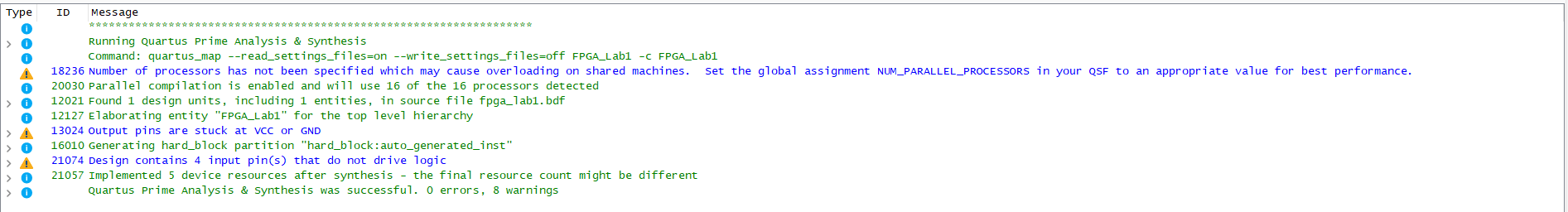


Рисунок 3 – Результат анализа и синтеза

RTL-представление разработанного модуля изображено на рисунке 4.

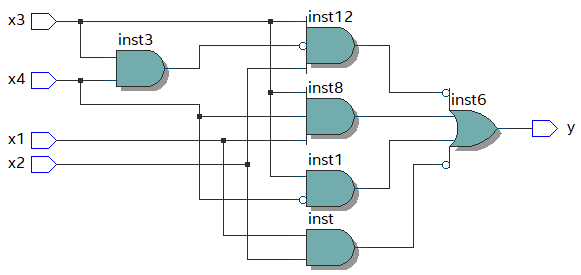


Рисунок 4 – RLT-представление модуля

В таблице 1 представлена таблица истинности для логической функции с рисунка 1.

Таблица 1 – Таблица истинности для логической функции

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **x1** | **x2** | **x3** | **x4** | **y** |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Для проверки построенной таблицы истинности выполним функциональное моделирование с использованием среды University Program VWF. На рисунке 5 изображен результат симуляции функционального моделирования.

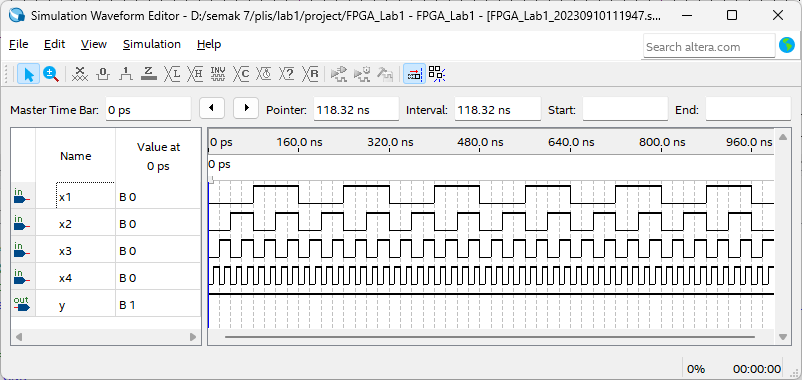


Рисунок 5 – Результат симуляции

# 2 Разработка и моделирование полный асинхронного четырёхразрядного сумматора

Для реализации сперва создадим полный 1-разрядный асинхронный сумматор (рис.6).

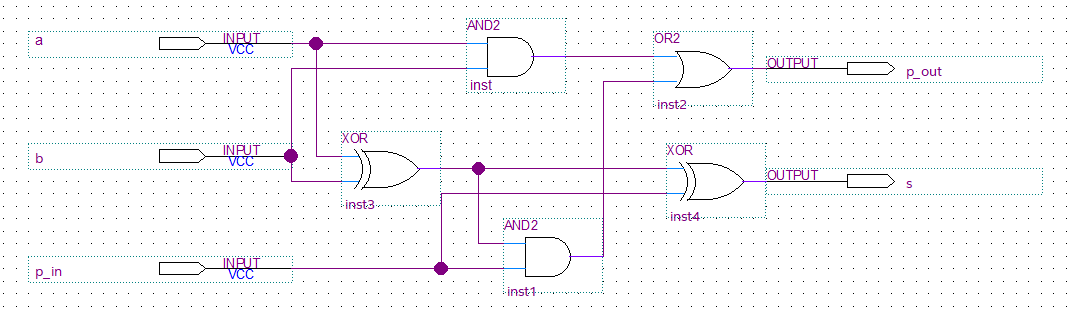


Рисунок 6 – Одноразрядный асинхронный сумматор с переносом

Следующим шагом создадим символьный файл на созданный сумматор и на основе его создадим четырехразрядный (рис.7).

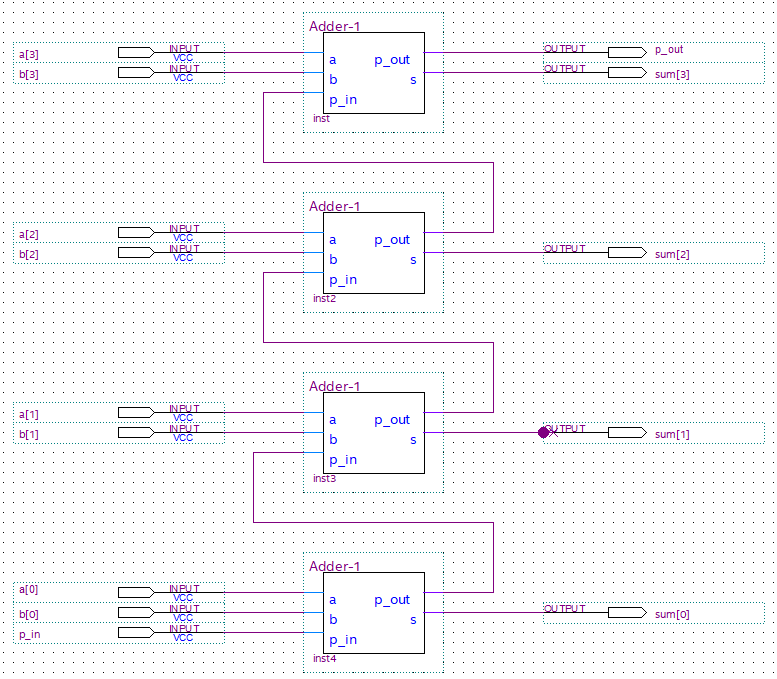


Рисунок 7 – Полный четырехразрядный асинхронный сумматор

Рассмотрим типичные и граничные значения входных сигналов. Для этого смоделируем все состояния данного сумматора и его выходные значения (рис.8).

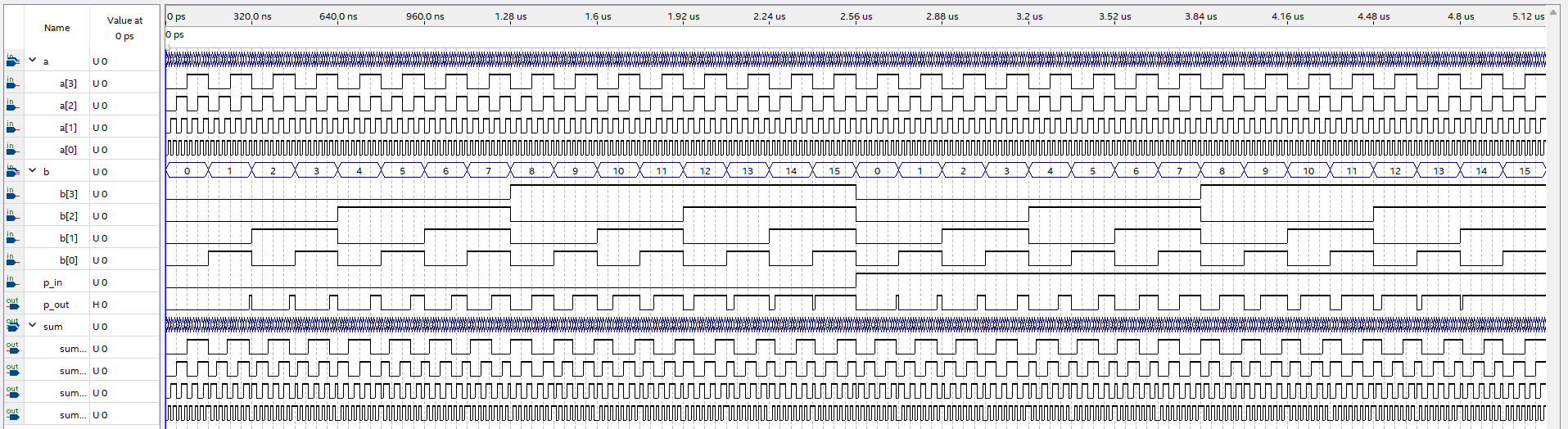


Рисунок 8 – Функциональное моделирование полученной схемы

Временное моделирование разработанного сумматора изображено на рисунке 9.

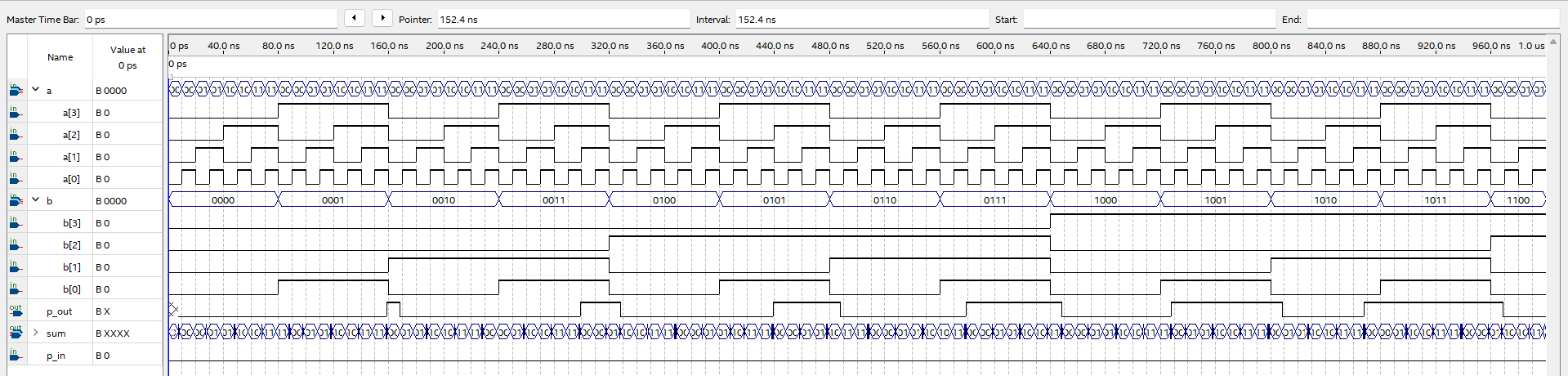


Рисунок 9 – Временное моделирование

# 3 Разработка и моделирование полный синхронного четырёхразрядного сумматора

На основе ранее созданного полного четырехразрядного асинхронного четырехразрядного сумматора создадим синхронный четырехразрядный сумматор (рис. 10).

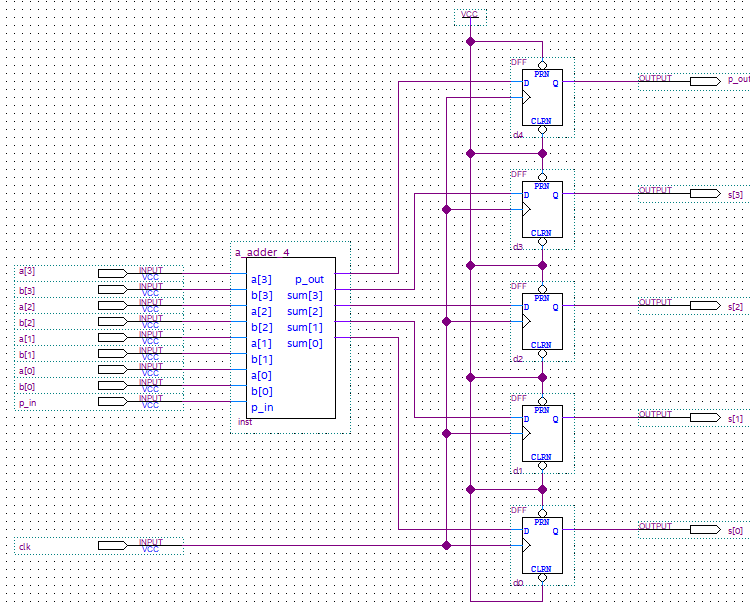


Рисунок 10 – Синхронный четырехразрядный сумматор

Функциональное моделирование полученного сумматора изображено на рисунке 11. Синхроимпульс меняется каждые 10нс.

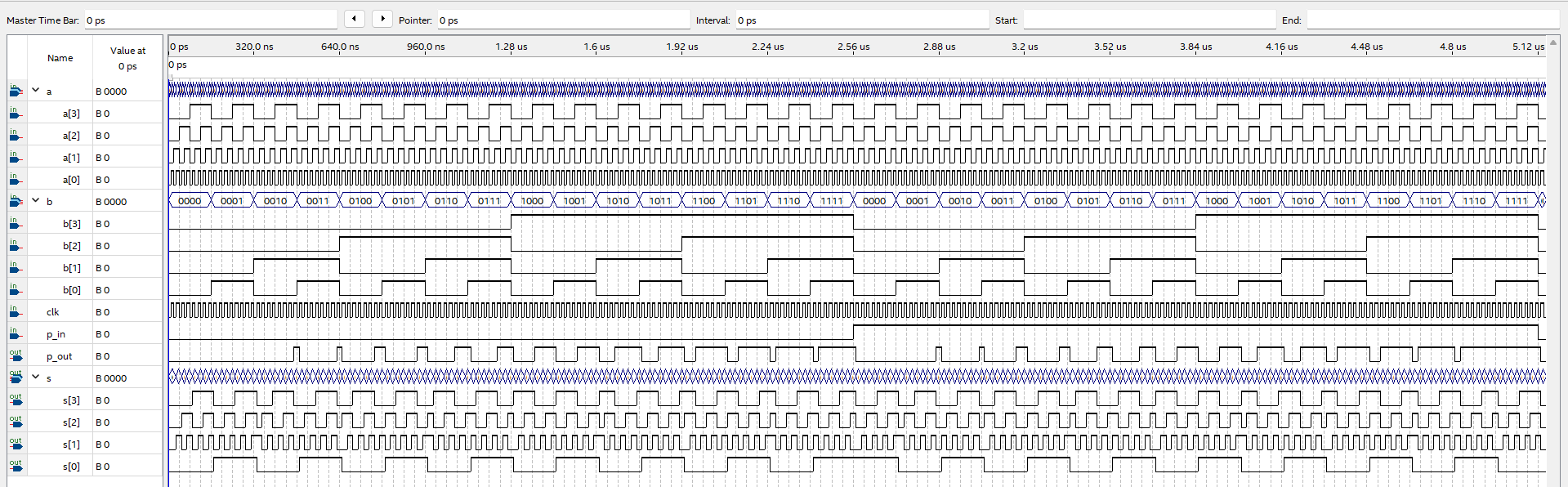


Рисунок 11 – Функциональное моделирование синхронного сумматора

Временное моделирование представлено на рисунке 12.

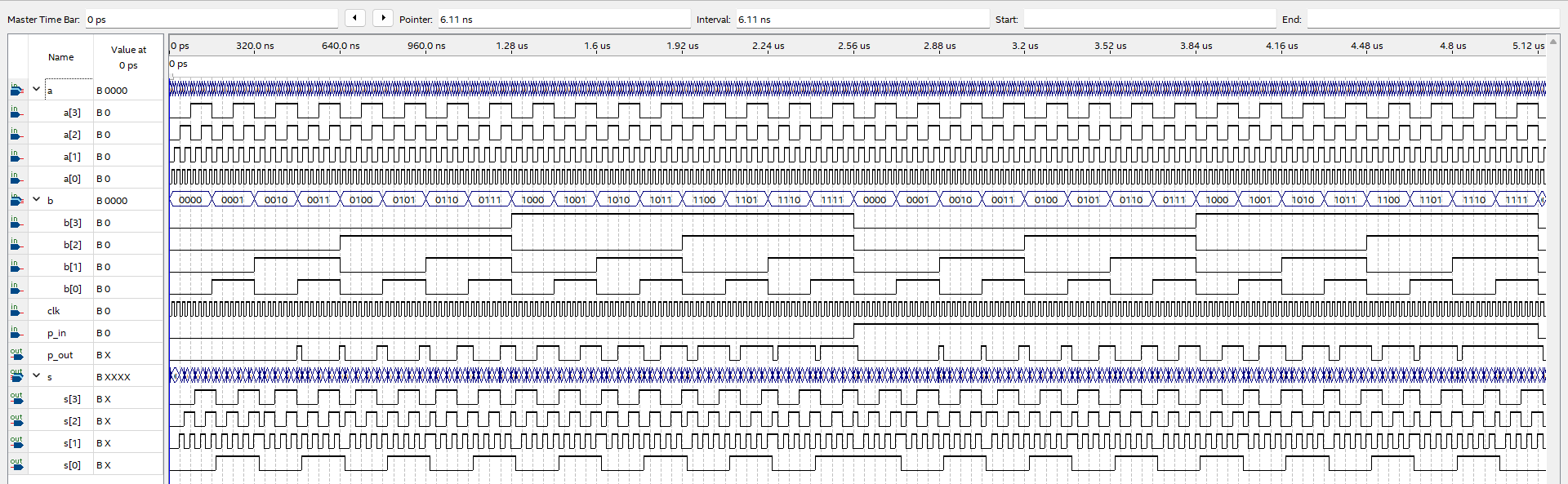


Рисунок 12 – Временное моделирование синхронного сумматора

На рисунке 13 изображена максимальная задержка, за которую сумматор переходит в состояние в единицу после синхроимпульса. Данная задержка ровняется 6,9нс.

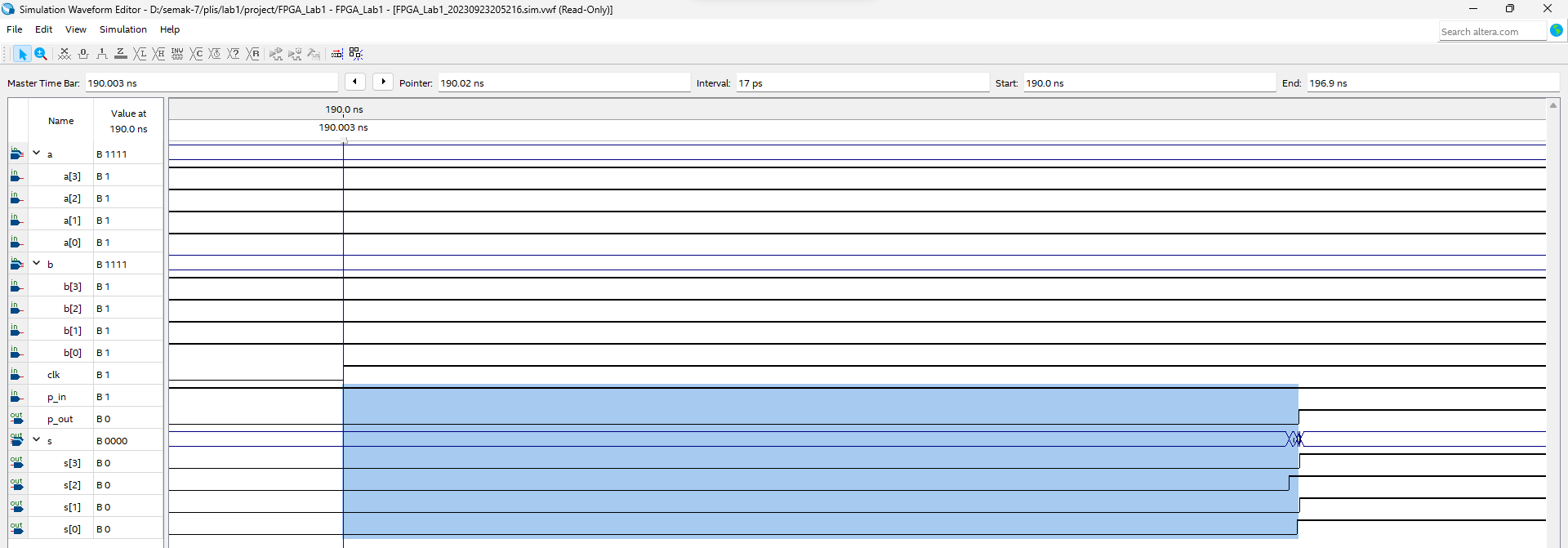


Рисунок 12 – Временное моделирование синхронного сумматора

Исходя из рисунка 12, можем посчитать частоту работы сумматора: